ASYNC EMIF SLAVE

IP核

用户使用说明书

目录

[1 简介 3](#_Toc99610466)

[2 IP核介绍 3](#_Toc99610467)

[2.1 特性 3](#_Toc99610468)

[2.2 信号和参数列表 3](#_Toc99610469)

[2.3 ASYNC EMIF总线时序 5](#_Toc99610470)

[3 IP核应用参考 6](#_Toc99610471)

[3.1 主从设备的联合仿真例程 8](#_Toc99610472)

[4 STM32 FSMC与FPGA的通信历程（特例） 9](#_Toc99610473)

# 简介

为提高FPGA设计效率，对于常用且重复性很强的功能块，不需要每次都进行设计，通过形成IP核的方式，可提高设计模块的重用性和设计效率。至此开始着手对常用的协议以尽可能完善的形式组建用户IP核。

# IP核介绍

IP核的主要功能是把EMIF总线信号转换为标准的用户接口的从设备（ 标准接口参见《Verilog代码规范》 ），适用于以下几种应用：

1. DSP和FPGA之间的EMIF总线通信；

2. FPGA与FPGA之间自定义的并行总线；

3. ZYNQ与FPGA之间自定义的并行总线；

4.STM32与FPGA之间的FSMC并行总线通信 ；

## 特性

◆ **写入采样点、读出采样点、读出完成点**可根据实际应用环境进行配置；

◆ **总线地址位宽、数据位宽**可根据实际应用配置；

◆ **支持XILINX "7SERIRE" "5SERIRE" "4SERIRE" FPGA和ZYNQ；**

◆ **管脚支持差分和单端的各种电平形式；**

◆ **支持差分终端电阻的配置；**

◆ **支持管脚功耗性能配置；**

◆ **支持管脚驱动能力配置；**

## 信号和参数列表

|  |  |  |  |
| --- | --- | --- | --- |
| 参数 | 名称 | 含义 | 示例 |
| WR\_SAMPLING\_LOC | 写入采样点的位置 | 在写信号拉低时，计数多少个主时钟周期对总线上的地址和数据进行采样。  默认配置为 5 （根据实际情况调整） |
| RD\_SAMPLING\_LOC | 读出采样点位置 | 在读信号拉低时，计数多少个主时钟周期对总线上的地址进行采样，地址采样的后一个时钟周期读出的数据将被赋值到数据总线上。  默认配置为 2 （根据实际情况调整） |
| RD\_VILD\_LOC | 读出完成点位置 | 控制读完成信号产生的位置。默认配置为11（根据实际情况调整，在桥接FIFO的应用中要妥善设置，设置太小容易导致数据总线被提前更新，导致数据错误，设置太大容易遗落对FIFO的读操作，所以要根据实际情况调整好位置，最好是读信号拉高的前一个时钟周期） |
| ADDR\_WIDTH | 地址总线宽度 | 默认为5 |
| DATA\_WIDTH | 数据总线宽度 | 默认为16 |
| FPGA\_SERIES | FPGA系列配置 | 可配置参数"7SERIRE" "5SERIRE" "4SERIRE"  默认为"7SERIRE" |
| PHYSICS\_MODE | 引脚模式 | "DIFF":差分模式 "SINGLE"：单端模式  默认为"DIFF"  注：单端模式时接口信号只接p端 n端悬空 |
| IOSTANDARD | 管脚电平标准配置 | 不清楚如何配置参数可以打开IO Planning查看  默认为“BLVDS\_25” |
| DRIVE | 管脚驱动能力配置 | 默认为12mA |
| SLEW |  |  |
| DIFF\_TERM | 终端电阻配置 | "TRUE"：使用终端电阻 "FALSE"：不使用终端电阻  默认为 "FALSE" |
| IBUF\_LOW\_PWR | 低功耗配置 | "TRUE"：低功耗 "FALSE"：高性能  默认为"FALSE"：高性能  该功能仅支持"7SERIRE" FPGA |
| CAPACITANCE |  | 输入BUFFER容值  "LOW", "NORMAL", "DONT\_CARE"  默认为"DONT\_CARE"  该功能仅支持"4SERIRE" FPGA |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 端口 | 名称 | 属性 | 位宽 | 说明 |
| 系统接口 | clk | in | 1 | 系统时钟输入 |
| rst\_n | in | 1 | 系统复位输入：低电平有效 |
| 用户接口 | user\_wr\_en | out | 1 | 写使能（拉高一个时钟周期） |
| user\_wr\_addr | out | ADDR\_WIDTH | 写地址 |
| user\_wr\_data | out | DATA\_WIDTH | 写数据 |
| user\_rd\_en | out | 1 | 读使能（拉高一个时钟周期） |
| user\_rd\_addr | out | ADDR\_WIDTH | 读地址 |
| user\_rd\_data | in | DATA\_WIDTH | 读数据 |
| user\_wr\_vild | out | 1 | 写完成信号（拉高一个时钟周期） |
| user\_rd\_vild | out | 1 | 读完成信号（拉高一个时钟周期） |
| ASYNC  EMIF接口 | async\_emif\_cs\_n\_p | in | 1 | 片选P端 |
| async\_emif\_cs\_n\_n | in | 1 | 片选N端 |
| async\_emif\_wr\_n\_p | in | 1 | 写信号P端 |
| async\_emif\_wr\_n\_n | in | 1 | 写信号N端 |
| async\_emif\_rd\_n\_p | in | 1 | 读信号P端 |
| async\_emif\_rd\_n\_n | in | 1 | 读信号N端 |
| async\_emif\_addr\_p | in | ADDR\_WIDTH | 地址总线P端 |
| async\_emif\_addr\_n | in | ADDR\_WIDTH | 地址总线N端 |
| async\_emif\_data\_p | inout | DATA\_WIDTH | 数据总线P端 |
| async\_emif\_data\_p | inout | DATA\_WIDTH | 数据总线N端 |

备注：ASYNC EMIF接口当配置为单端模式时，所有的信号只接P端，N端悬空即可。

## ASYNC EMIF总线时序



ASYNC EMIF总线写操作时序

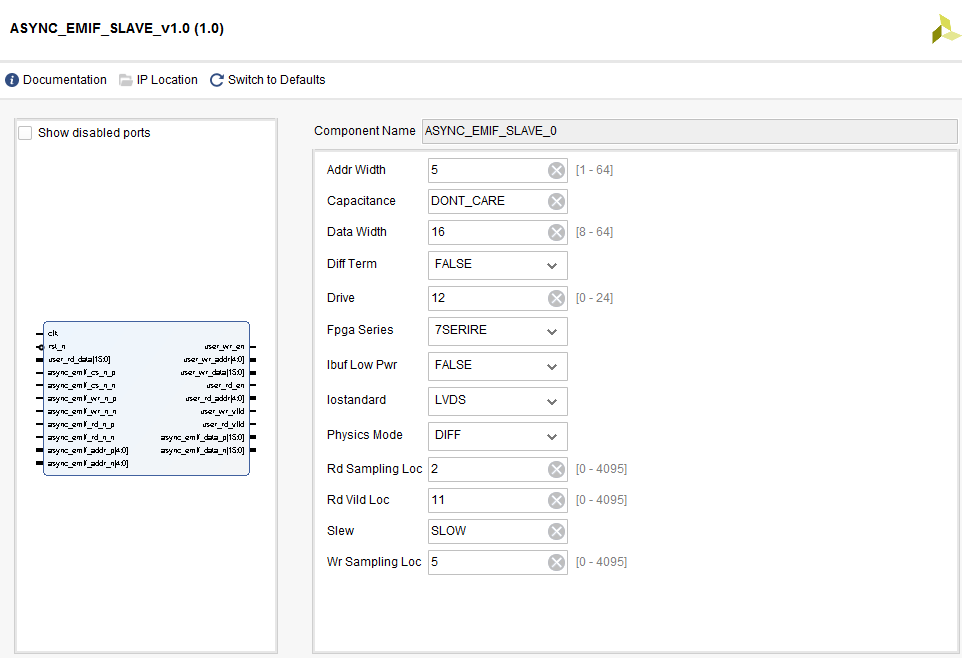


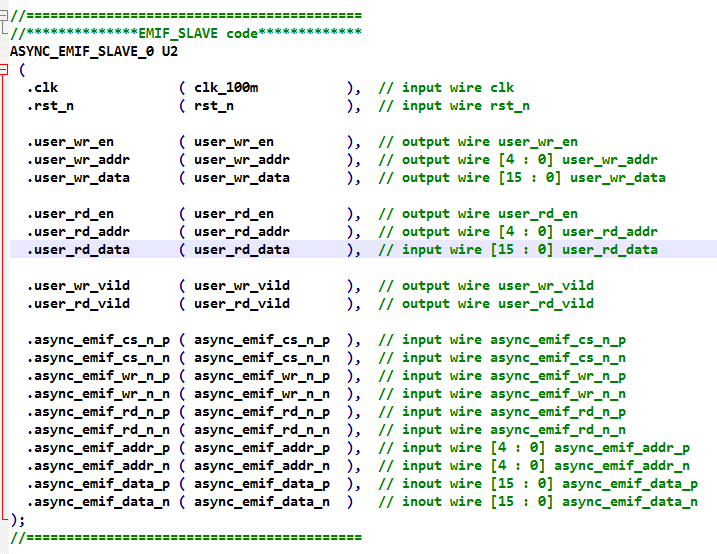
ASYNC EMIF总线读操作时序

# IP核应用参考

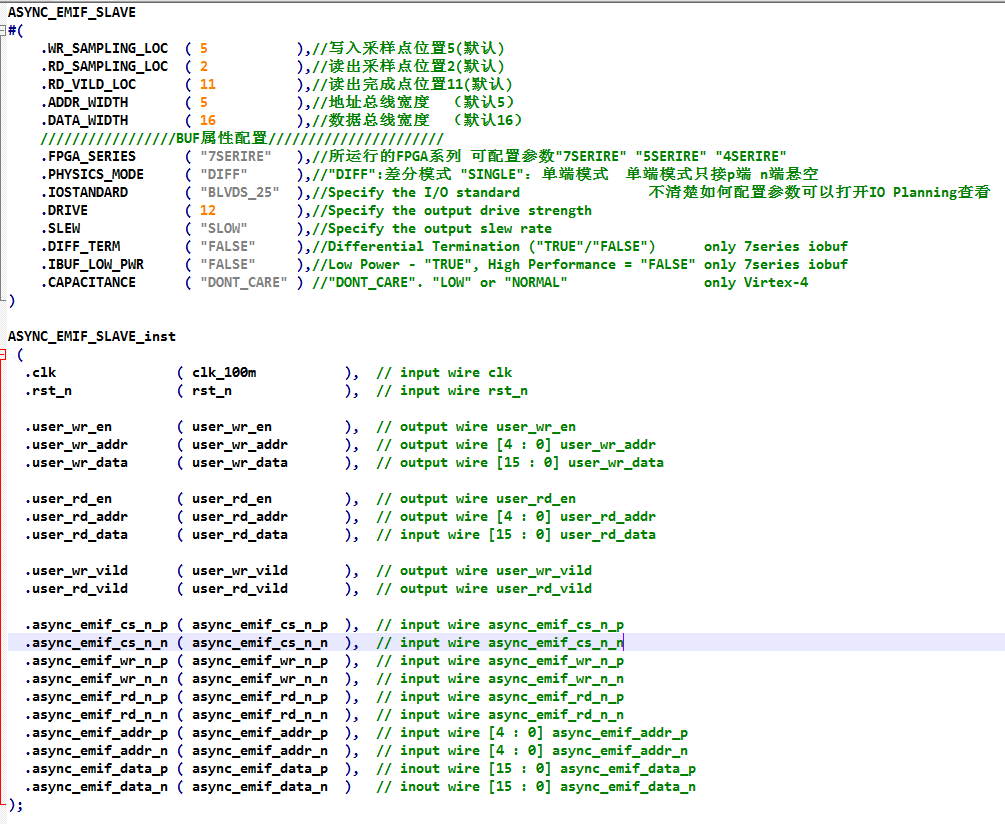
具体使用方法，请结合《Verilog代码规范》中第5条 reg\_block寄存器标准文件使用，例化参考如下：

VIVADO例化参考下，使用IP包装器：





ISE例化,调用src源文件参考如下：



## 主从设备的联合仿真例程

仿真工程中采用了主设备与从设备联合仿真的模式，整个过程分别进行了一次读操作和写操作。

Testbench主要代码如下：

//generate signal

initial begin

#1;

//initialization

master\_user\_wr\_en = 0;

master\_user\_wr\_addr = 0;

master\_user\_wr\_data = 0;

master\_user\_rd\_en = 0;

master\_user\_rd\_addr = 0;

slave\_user\_rd\_data = 0;

#(10\*CYCLE);

//generate

master\_user\_wr\_en = 1; //主设备往从设备地址0x15写入数据0x55AA

master\_user\_wr\_addr = 5'h15;

master\_user\_wr\_data = 16'h55AA;

#(1\*CYCLE);

master\_user\_wr\_en = 0;

#(20\*CYCLE);

master\_user\_rd\_en = 1; //主设备往从设备地址0x1A读出数据0xAA55

master\_user\_rd\_addr = 5'h1A;

slave\_user\_rd\_data = 16'hAA55;

#(1\*CYCLE);

master\_user\_rd\_en = 0;

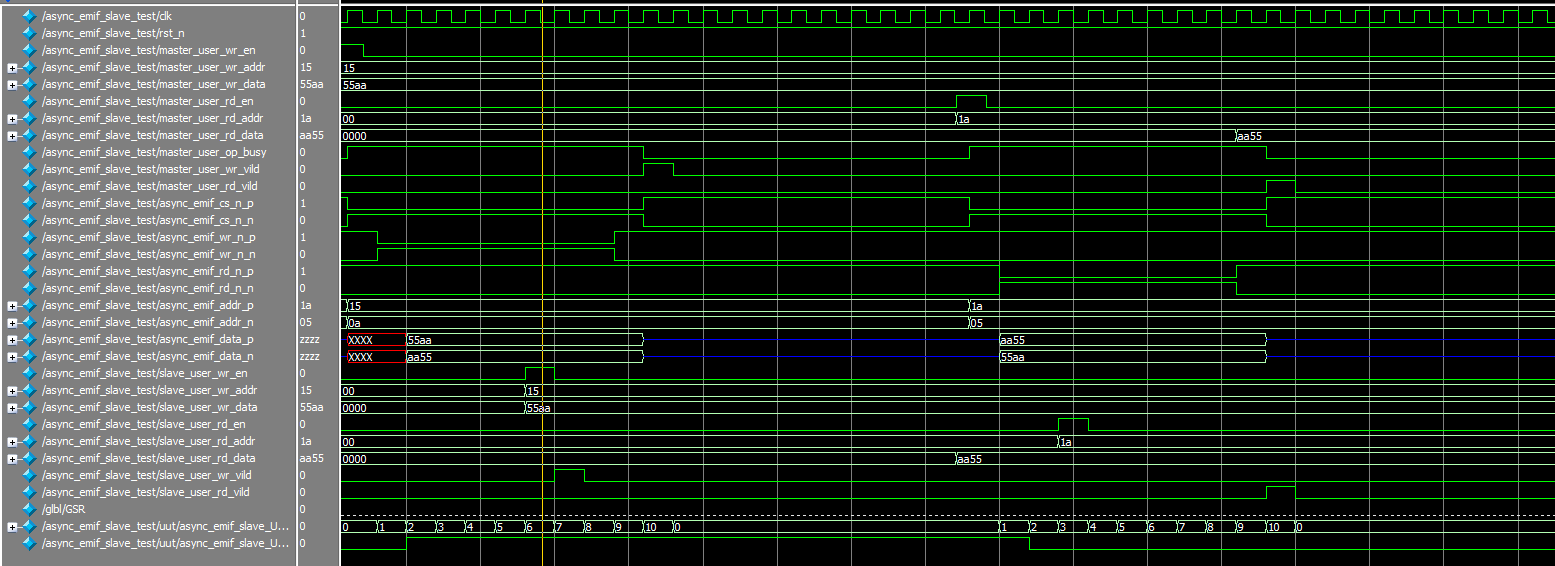
#(20\*CYCLE);

$display("--------------test\_finish-------------");

$stop;

End

仿真结果如下图：



# STM32 FSMC与FPGA的通信历程（特例）

STM32 FSMC通信C语言例程，路径如下： ***ASYNC\_EMIF\_SLAVE\_1.0\STM32 FSMC C*** 使用该例程可快速完成STM32 FSMC与FPGA的通信。